



PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Application No. : 10/784,161 Confirmation No. :
Applicant : Katsumi ISHIKAWA, et al.
Filed : February 24, 2004
TC/A.U. : To Be Assigned
Examiner : To Be Assigned
Docket No. : 056208.53279US
Customer No. : 23911
Title : Drive Circuit for Switching Device

CLAIM FOR PRIORITY UNDER 35 U.S.C. §119

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

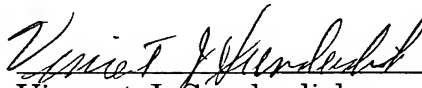
Sir:

The benefit of the filing date of prior foreign application No. 2003-165579, filed in Japan on June 10, 2003, is hereby requested and the right of priority under 35 U.S.C. §119 is hereby claimed.

In support of this claim, filed herewith is a certified copy of the original foreign application.

Respectfully submitted,

March 23, 2004



Vincent J. Sunderdick
Registration No. 29,004

CROWELL & MORING LLP
Intellectual Property Group
P.O. Box 14300
Washington, DC 20044-4300
Telephone No.: (202) 624-2500
Facsimile No.: (202) 628-8844

VJS:adb

日本国特許庁
JAPAN PATENT OFFICE

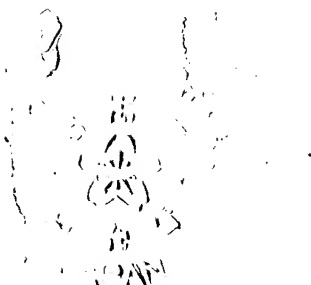
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 6月10日
Date of Application:

出願番号 特願2003-165579
Application Number:
[ST. 10/C]: [JP 2003-165579]

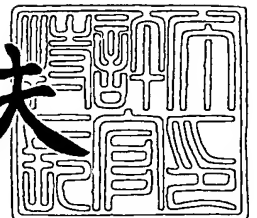
出願人 株式会社日立製作所
Applicant(s):



2004年 3月 4日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2004-3016713

【書類名】 特許願

【整理番号】 JP4373

【あて先】 特許庁長官殿

【国際特許分類】 H02M 1/00

【発明者】

 【住所又は居所】 茨城県日立市大みか町七丁目 1 番 1 号
 株式会社 日立製作所 日立研究所内

 【氏名】 石川 勝美

【発明者】

 【住所又は居所】 茨城県日立市大みか町七丁目 1 番 1 号
 株式会社 日立製作所 日立研究所内

 【氏名】 佐々木 正貴

【発明者】

 【住所又は居所】 茨城県日立市幸町三丁目 1 番 1 号
 株式会社 日立製作所 インバータ推進本部内

 【氏名】 須田 晃一

【特許出願人】

 【識別番号】 000005108

 【氏名又は名称】 株式会社 日立製作所

【代理人】

 【識別番号】 100077816

 【弁理士】

 【氏名又は名称】 春日 譲

【手数料の表示】

 【予納台帳番号】 009209

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

【物件名】

要約書 1

【プルーフの要否】

要

【書類名】 明細書

【発明の名称】 スイッチング素子の駆動回路

【特許請求の範囲】

【請求項 1】

スイッチング素子をオン・オフ制御する駆動回路と、このスイッチング素子の短絡を検出する短絡検出手段と、この短絡手段により短絡が検出されたとき前記スイッチング素子のゲート端子電圧を、徐々に降下させるソフト遮断手段とを有するスイッチング素子の駆動回路において、

前記スイッチング素子のゲート端子電圧を検出するゲート電圧検出手段と、
このゲート電圧検出手段により検出されたゲート端子電圧が所定の値を超えた場合に、前記駆動回路の出力をオン状態を保持するオンパルス保持手段を備えたことを特徴とするスイッチング素子の駆動回路。

【請求項 2】

請求項 1 記載のスイッチング素子の駆動回路において、さらに、
前記スイッチング素子のゲート電圧をクランプするゲート電圧クランプ手段を備え、
前記オンパルス保持手段の出力信号により前記ゲート電圧クランプ手段を動作させることを特徴とするスイッチング素子の駆動回路。

【請求項 3】

請求項 1 記載のスイッチング素子の駆動回路において、
前記スイッチング素子が、ゲート端子と第 1 端子と第 2 端子と第 3 の端子を有し、ゲート端子への電圧印加により、前記第 1 端子と第 2 端子間に主電流を流し、第 1 端子と第 3 端子間に主電流に比例したセンス電流を流す電圧駆動型のセンス機能付きのスイッチング素子であり、

前記オンパルス保持手段は、このゲート電圧検出手段により検出されたゲート端子電圧が所定の値を超え、しかも、前記スイッチング素子の第 3 端子に直列に接続するセンス抵抗のセンス電圧が、所定の値を超えた場合に、前記駆動回路の出力をオン状態を保持することを特徴とするスイッチング素子の駆動回路。

【請求項 4】

請求項1記載のスイッチング素子の駆動回路において、さらに、
前記駆動回路に入力するパルス信号のパルス幅を拡張するパルス幅拡張手段を
備えたことを特徴とするスイッチング素子の駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電圧駆動型のスイッチング素子の駆動回路に関する。

【0002】

【従来の技術】

半導体スイッチング素子、例えば、絶縁ゲート型バイポーラトランジスタ（IGBT）をモータ駆動用として用いる場合、アーム短絡や負荷短絡等が発生すると、IGBTのコレクタ電流が急激に増大し、IGBTが過電流破壊若しくは熱破壊されるため、短絡状態を短時間で検出する必要がある。短絡を検出する手段としては、大別して2つの方式がある。短絡検出方式としては、第1は、特開平4-79758号公報に記載されているように、電流センスIGBTを用いて短絡電流を検知する方式が知られている。第2は、特開平2-262826号公報に記載されているようにコレクタ電圧をモニターして短絡状態を検知する方式が知られている。

【0003】

一方では、短絡状態で、高速に電流を遮断すると、遮断時の電流変化率 $-dI/dt$ が大きくなり、配線インダクタンスとの積で決まる跳ね上がり電圧が大きくなって、IGBTが破壊されるという問題があった。そのため、特開平4-79758号公報や特開平2-262826号公報に記載の方式では、短絡検知した場合、主IGBT電流を緩やかに遮断するように、ゲート電圧を徐々に低下させるソフト遮断機能を設けている。

【特許文献1】

特開平4-79758号公報

【特許文献2】

特開平 2-262826 号公報

【0004】

【発明が解決しようとする課題】

しかしながら、特開平 4-79758 号公報や特開平 2-262826 号公報に記載のものでは、短絡検出回路には、ノイズによる誤作動を防止するための遅延時間を設けているため、短絡状態を検知し、ソフト遮断機能が働くまでに $1 \sim 2 \mu s$ の時間遅れがあった。したがって、ソフト遮断機能が動作するまでの $1 \sim 2 \mu s$ 間に、ターンオフの信号指令が入ってきた場合、高速で主回路電流を遮断するため、遮断時の電流変化率 $-dI/dt$ が大きく、配線インダクタンスとの積で決まる跳ね上がり電圧が大きくなって、IGBT が耐圧破壊されるという問題があった。ここで、ソフト遮断機能が動作するまでの $1 \sim 2 \mu s$ 間に、ターンオフの信号指令が入ってきた場合としては、ノイズが PWM 信号に重畳した場合がある。ノイズは、 $1 \mu s$ 程度の狭幅パルスであるため、このノイズの終了時にターンオフ指令と誤認される場合がある。

【0005】

本発明の目的は、短絡検出時にソフト遮断機能を動作させるとともに、狭幅パルスが入力しても、絶縁破壊を防止できるスイッチング素子の駆動回路を提供することにある。

【0006】

【課題を解決するための手段】

(1) 上記目的を達成するため、本発明は、スイッチング素子をオン・オフ制御する駆動回路と、このスイッチング素子の短絡を検出する短絡検出手段と、この短絡手段により短絡が検出されたとき前記スイッチング素子のゲート端子電圧を、徐々に降下させるソフト遮断手段とを有するスイッチング素子の駆動回路において、前記スイッチング素子のゲート端子電圧を検出するゲート電圧検出手段と、このゲート電圧検出手段により検出されたゲート端子電圧が所定の値を超えた場合に、前記駆動回路の出力をオン状態を保持するオンパルス保持手段を備えるようにしたものである。

かかる構成により、短絡検出時にソフト遮断機能を動作させるとともに、駆動

回路の出力をオン状態に保持して、狭幅パルスが入力しても、絶縁破壊を防止し得るものとなる。

【0007】

(2) 上記(1)において、好ましくは、さらに、前記スイッチング素子のゲート電圧をクランプするゲート電圧クランプ手段を備え、前記オンパルス保持手段の出力信号により前記ゲート電圧クランプ手段を動作させるようにしたものである。

【0008】

(3) 上記(1)において、好ましくは、前記スイッチング素子が、ゲート端子と第1端子と第2端子と第3の端子を有し、ゲート端子への電圧印加により、前記第1端子と第2端子間に主電流を流し、第1端子と第3端子間に主電流に比例したセンス電流を流す電圧駆動型のセンス機能付きのスイッチング素子であり、前記オンパルス保持手段は、このゲート電圧検出手段により検出されたゲート端子電圧が所定の値を超え、しかも、前記スイッチング素子の第3端子に直列に接続するセンス抵抗のセンス電圧が、所定の値を超えた場合に、前記駆動回路の出力をオン状態を保持するようにしたものである。

【0009】

(4) 上記(1)において、好ましくは、さらに、前記駆動回路に入力するパルス信号のパルス幅を拡張するパルス幅拡張手段を備えるようにしたものである。

【0010】

【発明の実施の形態】

以下、図1及び図2を用いて、本発明の第1の実施形態によるスイッチング素子のゲート駆動回路の構成及び動作について説明する。

最初に、図1を用いて、本実施形態によるスイッチング素子のゲート駆動回路の構成及び動作について説明する。

図1は、本発明の第1の実施形態によるスイッチング素子のゲート駆動回路の構成を示す回路ブロック図である。

【0011】

本実施形態では、スイッチング素子のゲート駆動回路に用いられるスイッチング素子として、センス機能付き IGBT23 を用いている。センス機能付き IGBT23 は、第1端子（コレクタ端子）と第2端子（エミッタ端子）間に主電流を流し、第1端子（コレクタ端子）と第3端子（センスエミッタ端子）間に主電流の何百～何千分の1のセンス電流を流すことができる。センス機能付き IGBT23 のゲート端子には、ゲート抵抗 R_g が接続され、駆動回路21により、PWM入力信号を伝達し、IGBT23 をオン・オフする機能を持っている。

【0012】

なお、第3端子（センスエミッタ端子）には、センス抵抗 R_s がグランドに直列に接続されている。短絡判定用比較器27は、センス抵抗 R_s の電圧を測定し、センス抵抗 R_s の電圧が基準電圧（センス電圧検知レベル）VSDより高い場合には、短絡と判断している。短絡判定用比較器27が短絡を判定した場合、ソフト遮断指令回路28は、駆動回路21のオン・オフを停止し、また、ソフト遮断用 nMOS29 をオンして、ソフト遮断用抵抗 R_{sf} により、ゲート電圧を徐々に絞るため、IGBTに流れる電流を緩やかに遮断でき、遮断時の電流変化率 $-dI/dt$ と、配線インダクタンスとの積で決まる跳ね上がり電圧を低くすることができる。

【0013】

ここで、センス抵抗 R_s の電圧には、スイッチング時のノイズや、短絡判定用比較器27までの配線が長くなることにより、高周波のノイズを発生する。そこで、センス抵抗 R_s と短絡判定用比較器27との間に、ノイズを除去するためのフィルタ回路26を設けている。フィルタ回路26は、入力電圧であるセンス抵抗 R_s の電圧が急激に立ち上がったとしても、出力電圧は $1 \sim 2 \mu s$ の遅れを持ってゆっくりと立ち上がる特性となっている。

【0014】

PWM信号として $10 kHz$ の信号を用いた場合、PWM信号の1周期は $100 \mu s$ である。通常、PWM信号のオンデューティの最小値は、 $2 \sim 3 \%$ に設定されているので、PWM信号のオンパルスのパルス幅の最小値は、 $2 \sim 3 \mu s$ となる。したがって、フィルタ回路26を追加しても、 $2 \sim 3 \mu s$ のPWM信号が

入力された場合は、ソフト遮断指令は $1 \sim 2 \mu s$ 程度しか遅延しないため問題はないものである。しかし、ノイズ信号のように $1 \sim 2 \mu s$ の狭幅信号が入力すると、PWMのオフ指令信号とソフト遮断指令信号の競争が起き、IGBT23が耐圧破壊される恐れがある。

【0015】

そこで、本実施形態においては、狭幅パルス対策として、ゲート電圧判定用比較器16と、オンパルス保持指令回路11を備えている。オンパルス保持指令回路11が出力するオンパルス保持信号は、オア回路22を介して駆動回路21に入力する。

【0016】

アーム短絡が起きると、ゲート電圧は電源電圧を越えて充電され、その結果、IGBTの電流は、ゲート電圧の上昇に伴って、急激に増加する。従って、ゲート電圧が最も早く短絡か否かを判断できる。ゲート電圧判定用比較器16は、ゲート電圧をモニターする回路である。ゲート電圧判定用比較器16は、ゲート電圧が基準電圧（ゲート電圧検知レベル）VGDよりも高くなると、アーム短絡が発生したと判定する。ゲート電圧検知レベルVGDは、プレーナのIGBTの場合は、この駆動回路の電源電圧（15V）程度に設定する。また、トレンチゲートのIGBTの場合、飽和電流が非常に大きいため、電源電圧よりも低い値に設定する。例えば、IGBTの閾値が6V程度の場合、プレーナのIGBTでは14V程度に設定し、トレンチゲートのIGBTでは9V程度に設定する。すなわち、9～14Vに設定することが望ましい。

【0017】

次に、図2を用いて、本実施形態によるスイッチング素子のゲート駆動回路の動作について説明する。

図2は、本発明の第1の実施形態によるスイッチング素子のゲート駆動回路の動作を示すタイムチャートである。図2は、狭幅パルスが入力した時にアーム短絡が生じた場合の動作を示している。図2の横軸は時間を示している。図2（A）は駆動回路21に入力するPWM信号を示している。図2（B）はオンパルス保持指令回路11が出力するオンパルス保持信号を示している。図2（C）は駆

動回路 21 の出力信号を示している。図 2 (D) は IGBT 23 のゲート電圧を示している。図 2 (E) は IGBT 23 の中の主 IGBT 電流を示している。図 2 (F) はフィルタ回路 26 の出力であるセンス電圧を示している。

【0018】

図 2 (A) に示すように、PWM 信号として、ノイズ等による狭幅パルスが入力したものとする。ここでは、パルス信号の立ち下がりで PWM 信号がオンし、立ち上がりで PWM がオフするものとする。すなわち、時刻 t_1 において、PWM 信号がオンし、時刻 t_4 において、PWM 信号がオフするものとする。PWM 信号のパルス幅 ΔT_1 は、例えば、 $1\ \mu\text{s}$ とする。通常の PWM 信号のオンタイムの最小値は、 $2\sim 3\ \mu\text{s}$ に設定しているため、 $1\ \mu\text{s}$ の狭幅パルスは、ノイズ等によって発生するものである。

【0019】

PWM 信号は、オア回路 22 を介して、駆動回路 21 に入力するが、駆動回路 21 は、ターンオン、ターンオフの遅延時間を有している。すなわち、図 2 (A) に示すように、時刻 t_1 において PWM 信号が立ち下がると、図 2 (C) に示すように、駆動回路 21 の出力信号は、時間 ΔT_2 だけ遅延して、時刻 t_2 にターンオンする。また、図 2 (A) に示すように、時刻 t_4 において PWM 信号が立ち上がると、駆動回路 21 の出力信号は、時間 ΔT_3 だけ遅延してターンオフする。ターンオン、ターンオフの遅延時間 ΔT_2 、 ΔT_3 は、例えば、 $0.5\ \mu\text{s}$ 程度である。

【0020】

図 2 (C) に示すように、時刻 t_2 において、駆動回路 21 の出力信号がターンオンすると、図 2 (D) に示すように、時刻 t_2 から IGBT 23 のゲート電圧が増加する。

【0021】

この時、IGBT 23 のアーム短絡が起きると、図 2 (D) に示すように、ゲート電圧は電源電圧を越えて充電される。したがって、ゲート電圧は、ゲート電圧検知レベル V_{GD} を越えることになる。ゲート電圧の上昇に伴って、図 2 (E) に示すように、IGBT 23 の電流も、急激に増加する。しかし、ノイズ防止用

のフィルタ 23 の遅延作用によって、図 2 (F) に示すように、フィルタ 23 の出力であるセンス電圧は、遅れて上昇する。

【0022】

ここで、アーム短絡が起きると、時刻 t_3 において、図 2 (D) に示すように、ゲート電圧はゲート電圧検知レベル V_{GD} を越えるため、ゲート電圧判定比較器 16 は短絡状態であることを検知し、オンパルス保持指令回路 11 は、図 2 (B) に示すように、時刻 t_3 においてオンパルス保持信号を出力する。オンパルス保持指令回路 11 としては、例えば、ワンショットマルチバイブレータを用い、オンパルス保持信号のパルス幅 ΔT_4 は、例えば、 $2 \sim 3 \mu s$ としている。

【0023】

駆動回路 21 は、図 2 (A) に示す PWM 信号と、図 2 (B) に示すオンパルス保持信号の和で、図 2 (C) に示すように、駆動回路出力信号を決定する。なお、ターンオン、ターンオフの遅延時間 ΔT_2 、 ΔT_3 については、上述のとおりである。時刻 t_7 にオンパルス保持信号がオフになると、駆動回路出力信号は、時刻 t_8 にオフとなる。従って、PWM 信号が時刻 t_4 にオフとなり、ターンオフ遅延時間後の時刻 5 以降においても、駆動回路 21 は、図 2 (C) に示すように、オンパルスを出力し続ける。したがって、図 2 (D) に示すように、時刻 t_5 以降でも、ゲート電圧もオフになることがないものである。

【0024】

ここで、例えば、図 2 (F) に示すように、時刻 t_6 において、センス電圧がセンス電圧検知レベル V_{SD} を越えると、短絡判定用比較器 27 が短絡を判定する。そして、ソフト遮断指令回路 28 は、駆動回路 21 のオン・オフを停止し、ソフト遮断用 nMOS 29 がオンし、ソフト遮断用抵抗 R_{sf} により、ゲート電圧を徐々に絞るため、図 2 (E) に示すように、IGBT に流れる電流を緩やかに遮断し、遮断時の電流変化率 $-dI/dt$ と、配線インダクタンスとの積で決まる跳ね上がり電圧を低くすることができる。

【0025】

従って、ゲート電圧判定用比較器 16 と、オンパルス保持指令回路 11 を設けることで、狭幅パルス入力時の短絡に対しても、確実に短絡保護することが可能

になった。

【0026】

なお、ここで、オンパルス保持指令回路 11 を設けない場合について簡単に説明する。オンパルス保持指令回路 11 を設けない場合、狭幅パルスが、図 2 (A) に示すように、時刻 t_1 に立ち下がり、時刻 t_4 に立ち上がったとすると、図 2 (C) に示すように、駆動回路の出力信号は、時刻 t_2 にオンとなり、そして、時刻 t_5 にオフとなる。一方、図 2 (F) に示すように、時刻 6 においてセンス電圧がレベル VSD を越えてアース短絡が検出されると、ソフト遮断機能が動作する。

【0027】

時刻 t_5 では、ソフト遮断指令が入る前に、ターンオフ指令が入ることとなり、ゲート電圧は、通常のスイッチング速度でゲート電圧を絞るため、高速で主回路電流を遮断し、遮断時の電流変化率 $-dI/dt$ が大きく、配線インダクタンスとの積で決まる跳ね上がり電圧が大きくなって、IGBT が耐圧破壊される恐れがあった。

【0028】

なお、オンパルス保持指令回路 11 が出力するオンパルス保持信号のオン時間 ΔT_4 は、 $2 \sim 3 \mu s$ としているが、この時間は、IGBT 23 の短絡耐量以下とすればよいものである。例えば、IGBT の短絡耐量が $10 \mu s$ とすると、これよりも短い時間とする。オンパルスを保持すると、その間ゲート電圧は高いレベルに保持されるが、短絡耐量以下の時間で有れば、IGBT が破壊することは防止できる。また、短絡耐量の時間が経過する前に、ソフト遮断されるため、IGBT が破壊されることも防止できる。

【0029】

以上のように、本実施形態では、オンパルスを保持することにより、狭幅パルス入力時に短絡に対しても、確実に短絡保護することができる。

【0030】

次に、図 3 及び図 4 を用いて、本発明の第 2 の実施形態によるスイッチング素子のゲート駆動回路の構成及び動作について説明する。

最初に、図3を用いて、本実施形態によるスイッチング素子のゲート駆動回路の構成及び動作について説明する。

図3は、本発明の第2の実施形態によるスイッチング素子のゲート駆動回路の構成を示す回路ブロック図である。なお、図1と同一符号は、同一部分を示している。

【0031】

本実施形態では、図1に示した構成に加えて、ゲート電圧クランプ用nMOS 17と、ゲート電圧クランプ用抵抗 R_{cr} からなる電圧クランプ回路18を備えている。ゲート電圧クランプ用nMOS 17がオンすると、IGBT23のゲート電圧 V_G は、駆動回路21の出力電圧 V_{DR} を、抵抗 R_g と抵抗 R_{CR} で分圧した電圧値($V_{DR} \times (R_{cr} / (R_{cr} + R_g))$)に保持される。駆動回路21の出力電圧 V_{DR} を15Vとすると、クランプ電圧は、10~12Vとなるようにゲート電圧クランプ用抵抗 R_{cr} の抵抗値が設定されている。また、クランプ電圧は、ゲート電圧検知レベル V_{GD} よりも低い値に設定されている。

【0032】

次に、図4を用いて、本実施形態によるスイッチング素子のゲート駆動回路の動作について説明する。

図4は、本発明の第2の実施形態によるスイッチング素子のゲート駆動回路の動作を示すタイムチャートである。図4は、狭幅パルスが入力した時にアーム短絡が生じた場合の動作を示している。図4の横軸は時間を示している。図4(A)は駆動回路21に入力するPWM信号を示している。図4(B)はオンパルス保持指令回路11が出力するオンパルス保持信号を示している。図4(C)は駆動回路21の出力信号を示している。図4(D)はIGBT23のゲート電圧を示している。なお、図4(D)において、破線は、ゲート電圧クランプ回路18を用いない場合のゲート電圧を示し、図2(D)と同様である。図4(D)の実線は、クランプ回路18が動作した場合のゲート電圧を示している。図4(E)はIGBT23の中の主IGBT電流を示している。図4(F)はフィルタ回路26の出力であるセンス電圧を示している。

【0033】

アーム短絡が起きると、図4 (F) に示すように、ゲート電圧はゲート電圧検知レベルを越えて、ゲート電圧判定比較器16が、短絡状態であることを検知し、図4 (B) に示すように、オンパルス保持信号が出力される。駆動回路21は、PWM信号とオンパルス保持信号の和で、駆動回路出力信号を決定する。従って、図4 (C) に示すように、PWM信号がオフ指令となっても、オンパルスを出力し続ける。

【0034】

さらに本実施形態では、ゲート電圧クランプ回路18を設けることで、図4 (D) に実線で示すように、オンパルス保持信号の間、ゲート電圧を低下させる。このことで、図4 (E) に実線で示すように、IGBTの短絡電流も低減することができる。

【0035】

トレンチゲートのIGBTを使用した場合、飽和電流は、定格電流の約10倍となるが、本方式を用いることで、短絡時のIGBTの電流を、約半分程度に低減することができる。

【0036】

以上のように、本実施形態では、ゲート電圧判定用比較器16と、オンパルス保持指令回路11に加えて、ゲート電圧クランプ回路18を設けることで、短いPWM信号入力の短絡に対しても、確実に短絡保護することが可能になるのに加えて、短絡電流も低減することが可能になるため、図1に示した例に比べて、より安全性を向上できるものである。

【0037】

次に、図5を用いて、本発明の第3の実施形態によるスイッチング素子のゲート駆動回路の構成及び動作について説明する。

図5は、本発明の第3の実施形態によるスイッチング素子のゲート駆動回路の構成を示す回路ブロック図である。なお、図1と同一符号は、同一部分を示している。

【0038】

本実施形態では、図1に示した例で用いたセンス機能付きIGBT23の代わ

りに、IGBT24を用いている。図1の例では、センス電流を検出して、短絡保護を実施しているが、本例では、短絡判定用比較器27Aは、高圧ダイオード31のアノード電圧をモニターして、所定電圧VADより高い場合に短絡と判断している。

【0039】

本実施形態でも、ゲート電圧判定用比較器16と、オンパルス保持指令回路11を設けている。狭幅パルス信号に対して、アーム短絡が起きると、ゲート電圧はゲート電圧検知レベルを越えて、ゲート電圧判定比較器16が、短絡状態であることを検知し、オンパルス保持回路11が動作する。駆動回路21は、PWM信号とオンパルス保持信号の和で、駆動回路出力信号を決定する。従って、PWM信号がオフ指令となっても、オンパルスを出力し続ける。その後、短絡判定用比較器27Aが短絡を判定し、ソフト遮断指令回路28により、駆動回路21のオン・オフを停止し、ソフト遮断用nMOS29がオンし、ソフト遮断用抵抗R_{sf}により、ゲート電圧を徐々に絞るため、IGBTに流れる電流を緩やかに遮断し、跳ね上がり電圧を低くすることができる。

【0040】

以上のように、本実施形態では、オンパルスを保持することにより、狭幅パルス入力時に短絡に対しても、確実に短絡保護することができる。

【0041】

次に、図6を用いて、本発明の第4の実施形態によるスイッチング素子のゲート駆動回路の構成及び動作について説明する。

図6は、本発明の第4の実施形態によるスイッチング素子のゲート駆動回路の構成を示す回路ブロック図である。なお、図5と同一符号は、同一部分を示している。

【0042】

本実施形態では、図5の例におけるゲート電圧判定用比較器16と、オンパルス保持指令回路11に加えて、ゲート電圧クランプ用nMOS17と、ゲート電圧クランプ用抵抗R_{cr}からなる電圧クランプ回路18を備えている。電圧クランプ回路18の構成動作は、図3にて説明したものと同様である。

【0043】

狭幅パルス信号入力に対して、アーム短絡が起きると、ゲート電圧はゲート電圧検知レベルを越えて、ゲート電圧判定比較器16が、短絡状態であることを検知し、オンパルス保持信号が働く。駆動回路21は、PWM信号とオンパルス保持信号の和で、駆動回路出力信号を決定する。従って、PWM信号がオフ指令となっても、オンパルスを出力し続ける。さらに本発明では、ゲート電圧クランプ回路18を設けることで、オンパルス保持信号の間、ゲート電圧を低下させる。このことで、IGBTの短絡電流も低減することができる。

【0044】

以上のように、本実施形態では、短いPWM信号入力の短絡に対しても、確実に短絡保護することが可能になるのに加えて、短絡電流も低減することが可能になるため、より安全性を向上できるものである。

【0045】

次に、図7を用いて、本発明の第5の実施形態によるスイッチング素子のゲート駆動回路の構成及び動作について説明する。

図7は、本発明の第5の実施形態によるスイッチング素子のゲート駆動回路の構成を示す回路ブロック図である。なお、図1と同一符号は、同一部分を示している。

【0046】

本実施形態では、センス抵抗 R_{s1} 、 R_{s2} がグランドに直列に接続されている。このセンス抵抗 R_{s1} 、 R_{s2} の電圧を測定し、短絡判定用比較器27により、短絡か否かを判断していると共に、センス電圧判定用比較器19と、AND回路20を設けている。センス電圧判定用比較器19は、センス抵抗 R_{s1} の電圧を測定して、所定電圧 V_{SD2} より高い場合に短絡と判断している。

【0047】

したがって、本実施形態では、センス電圧判定用比較器19と、ゲート電圧判定用比較器16が共に短絡状態を検出したことをAND回路20により判定し、短絡状態であると検知されると、オンパルス保持指令回路11が動作して、オンパルス保持信号が出力される。IGBTの電流と、ゲート電圧を同時にモニター

して短絡を検出した上で、オンパルス保持を行うことで、狭幅パルス信号入力
の短絡に対しても、さらに確実に短絡保護することが可能となる。

【0048】

次に、図8を用いて、本発明の第6の実施形態によるスイッチング素子のゲート駆動回路の構成及び動作について説明する。

図8は、本発明の第6の実施形態によるスイッチング素子のゲート駆動回路の構成を示す回路ブロック図である。なお、図7と同一符号は、同一部分を示している。

【0049】

本実施形態では、図7の例におけるゲート電圧判定用比較器16と、オンパルス保持指令回路11に加えて、電圧クランプ回路18を備えている。電圧クランプ回路18の構成動作は、図3にて説明したものと同様である。

【0050】

本実施形態では、オンパルス保持信号の間、ゲート電圧を低下させることで、IGBTの短絡電流も低減することができる。従って、狭幅パルス信号入力の短絡に対しても、確実に短絡保護することが可能になるのに加えて、短絡電流も低減することが可能となる。

【0051】

次に、図9及び図10を用いて、本発明の第7の実施形態によるスイッチング素子のゲート駆動回路の構成及び動作について説明する。

最初に、図9を用いて、本実施形態によるスイッチング素子のゲート駆動回路の構成について説明する。

図9は、本発明の第7の実施形態によるスイッチング素子のゲート駆動回路の構成を示す回路ブロック図である。なお、図1と同一符号は、同一部分を示している。

【0052】

本実施形態では、図1の構成に加えて、狭幅パルス拡張回路42とを備えている。狭幅パルス除去回路42は、例えば、 $1\mu\text{s}$ より短いパルスのパルス幅を、 1μ 以上のパルス幅の信号になるようにパルス幅を拡張するものである。狭幅パ

ルス拡張回路 42 は、例えば、比較器等を用いて構成することができる。

【0053】

次に、図 10 を用いて、本実施形態によるスイッチング素子のゲート駆動回路の動作について説明する。

図 10 は、本発明の第 7 の実施形態によるスイッチング素子のゲート駆動回路の動作を示すタイムチャートである。図 10 は、狭幅パルスが入力した時にアーム短絡が生じた場合の動作を示している。図 10 の横軸は時間を示している。図 10 (A) は駆動回路 21 に入力する PWM 信号を示している。図 10 (A') は狭幅パルス拡張回路 42 が出力する PWM 信号を示している。図 10 (B) はオンパルス保持指令回路 11 が出力するオンパルス保持信号を示している。図 10 (C) は駆動回路 21 の出力信号を示している。図 10 (D) は IGBT 23 のゲート電圧を示している。図 10 (E) は IGBT 23 の中の主 IGBT 電流を示している。図 10 (F) はフィルタ回路 26 の出力であるセンス電圧を示している。

【0054】

狭幅パルス拡張回路 42 は、図 10 (A) に示すように、時刻 t_{11} にパルス幅が ΔT_5 の狭幅パルスが入力すると、図 2 (A') に示すように、時刻 t_{13} においてパルス幅を ΔT_6 ($> \Delta T_5$) に拡張して出力する。

【0055】

駆動回路 21 は、図 10 (A') に示す PWM 信号と、図 10 (B) に示すオンパルス保持信号の和で、図 10 (C) に示すように、時刻 t_{14} から駆動回路出力信号がオンになる。

【0056】

アーム短絡が起きると、図 10 (F) に示すように、ゲート電圧はゲート電圧検知レベルを越えて、ゲート電圧判定比較器 16 が、短絡状態であることを検知し、図 10 (B) に示すように、オンパルス保持信号が出力される。駆動回路 21 は、PWM 信号とオンパルス保持信号の和で、駆動回路出力信号を決定する。従って、図 10 (C) に示すように、PWM 信号がオフ指令となっても、オンパルスを出力し続ける。

【0057】

ここで、例えば、図10（F）に示すように、時刻 t_{15} において、センス電圧がセンス電圧検知レベル V_{SD} を越えると、短絡判定用比較器 27 が短絡を判定する。そして、ソフト遮断指令回路 28 は、駆動回路 21 のオン・オフを停止し、ソフト遮断用 $nMOS$ 29 がオンし、ソフト遮断用抵抗 R_{sf} により、ゲート電圧を徐々に絞るため、図10（E）に示すように、 $IGBT$ に流れる電流を緩やかに遮断し、遮断時の電流変化率 $-dI/dt$ と、配線インダクタンスとの積で決まる跳ね上がり電圧を低くすることができる。

【0058】

従って、ゲート電圧判定用比較器 16 と、オンパルス保持指令回路 11 を設けることで、狭幅パルス入力時の短絡に対しても、確実に短絡保護することが可能になった。

【0059】

また、狭幅パルス拡張回路 42 を設けることにより、図10（A）に示す PWM 信号のパルス幅が狭い場合の短絡保護をさらに向上させることができる。例えば、図10（A）に示すように、PWM 信号が時刻 t_{11} において立ち下がり、時刻 t_{12} に立ち上がる場合、駆動回路の出力信号は、図10（C）は時刻 t_{13} にオンとなり、さらに、時刻 t_{13} よりも後で、オンパルス保持信号が出力する時刻 t_{13} よりもオフになると、この時点では、オンパルス保持信号はまだオンとなっていないため、急激な $IGBT$ の遮断が生じる恐れがある。このような場合でも、狭幅パルス拡張回路 42 により狭いパルス幅を拡張することにより、駆動回路出力信号がオン状態を継続できるため、 $IGBT$ の破壊を防止することができる。

【0060】

従って、本実施形態では、さらに短いパルス幅の信号入力時の短絡に対しても、さらに確実に短絡保護することができる。

【0061】

【発明の効果】

本発明によれば、短絡検出時にソフト遮断機能を動作させるとともに、狭幅パ

ルスが入力しても、絶縁破壊を防止できるものとなる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態によるスイッチング素子のゲート駆動回路の構成を示す回路ブロック図である。

【図 2】

本発明の第 1 の実施形態によるスイッチング素子のゲート駆動回路の動作を示すタイムチャートである。

【図 3】

本発明の第 2 の実施形態によるスイッチング素子のゲート駆動回路の構成を示す回路ブロック図である。

【図 4】

本発明の第 2 の実施形態によるスイッチング素子のゲート駆動回路の動作を示すタイムチャートである。

【図 5】

本発明の第 3 の実施形態によるスイッチング素子のゲート駆動回路の構成を示す回路ブロック図である。

【図 6】

本発明の第 4 の実施形態によるスイッチング素子のゲート駆動回路の構成を示す回路ブロック図である。

【図 7】

本発明の第 5 の実施形態によるスイッチング素子のゲート駆動回路の構成を示す回路ブロック図である。

【図 8】

本発明の第 6 の実施形態によるスイッチング素子のゲート駆動回路の構成を示す回路ブロック図である。

【図 9】

本発明の第 7 の実施形態によるスイッチング素子のゲート駆動回路の構成を示

す回路ブロック図である。

【図 1 0】

本発明の第 7 の実施形態によるスイッチング素子のゲート駆動回路の動作を示すタイムチャートである。

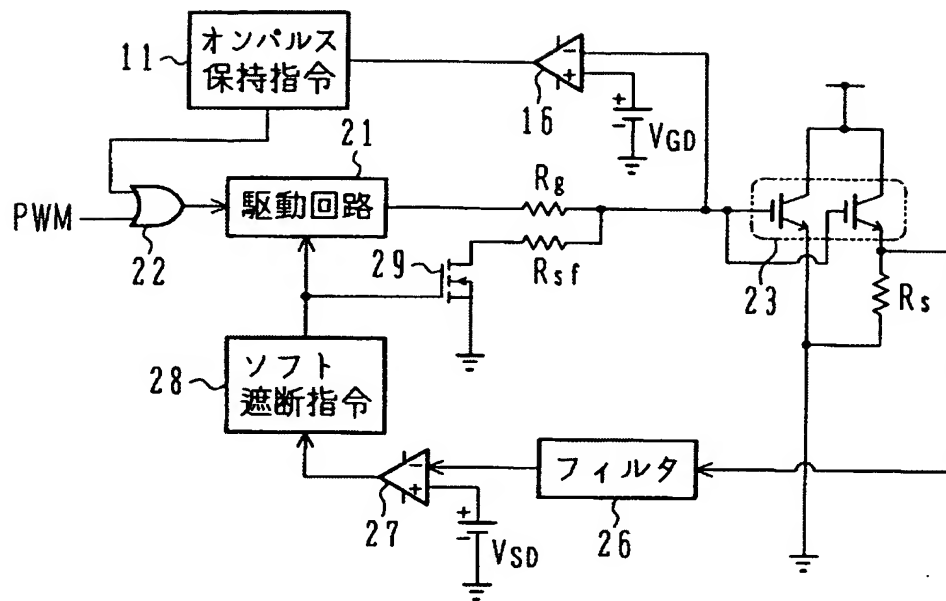
【符号の説明】

- 1 1 … オンパルス保持指令回路
- 1 6 … ゲート電圧判定用比較器
- 1 7 … ゲート電圧クランプ用 n M O S
- 1 8 … ゲート電圧クランプ回路
- 1 9 … センス電圧判定用比較器
- 2 0 … A N D 回路
- 2 1 … 駆動回路
- 2 3 … センス機能付き I G B T
- 2 4 … I G B T
- 2 6 … フィルタ回路
- 2 7, 2 7 A … 短絡判定用比較器
- 2 8 … ソフト遮断指令回路
- 2 9 … ソフト遮断用 n M O S
- 3 1 … 高圧ダイオード
- 4 2 … 狭幅パルス拡張回路

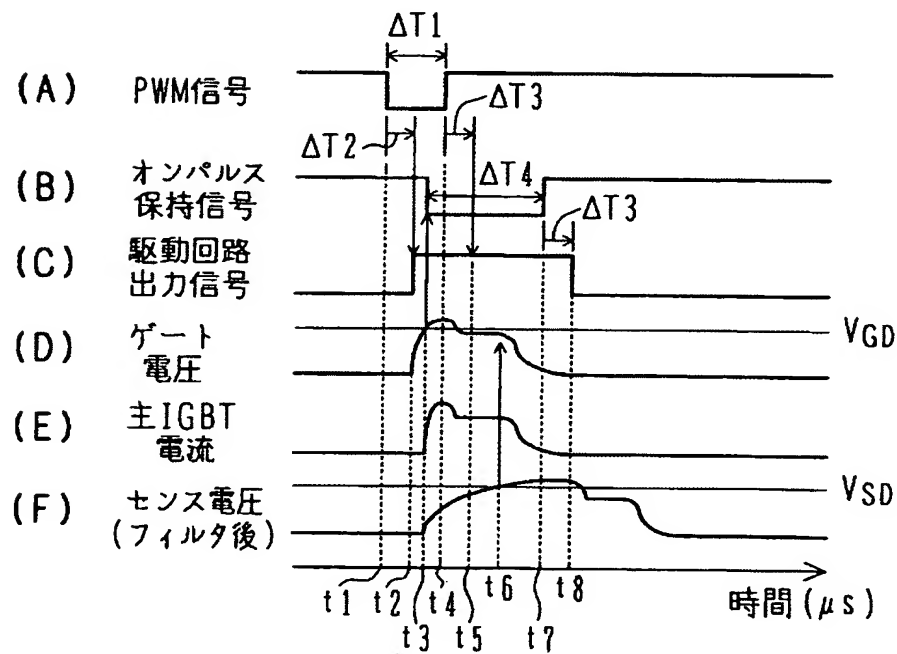
【書類名】

図面

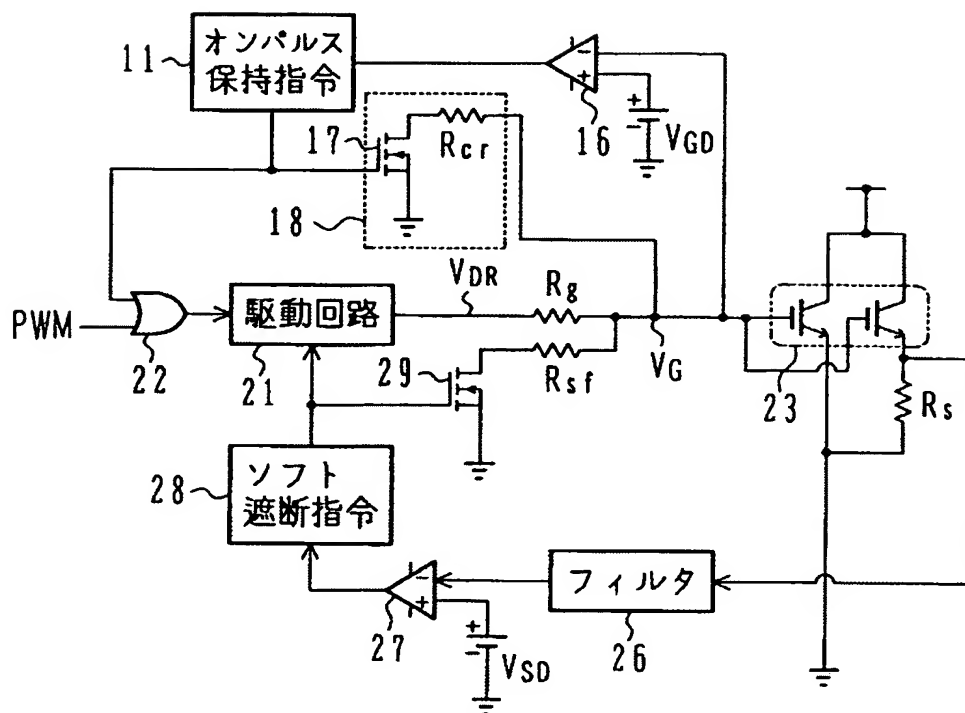
【図 1】



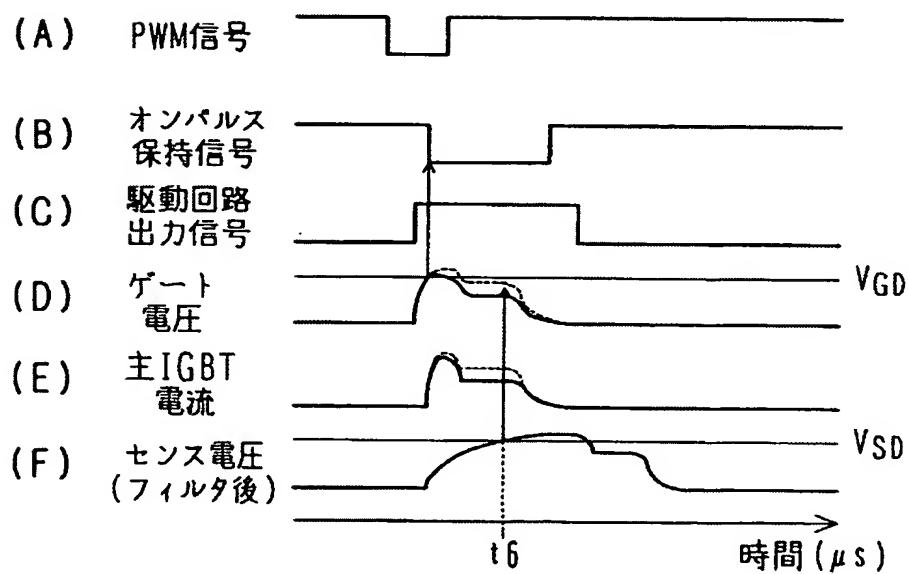
【図 2】



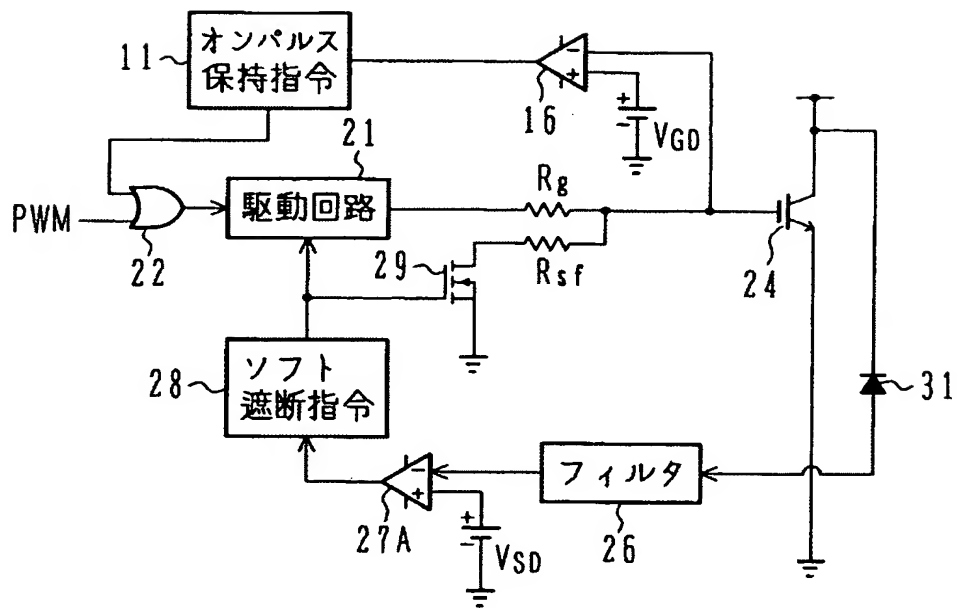
【図 3】



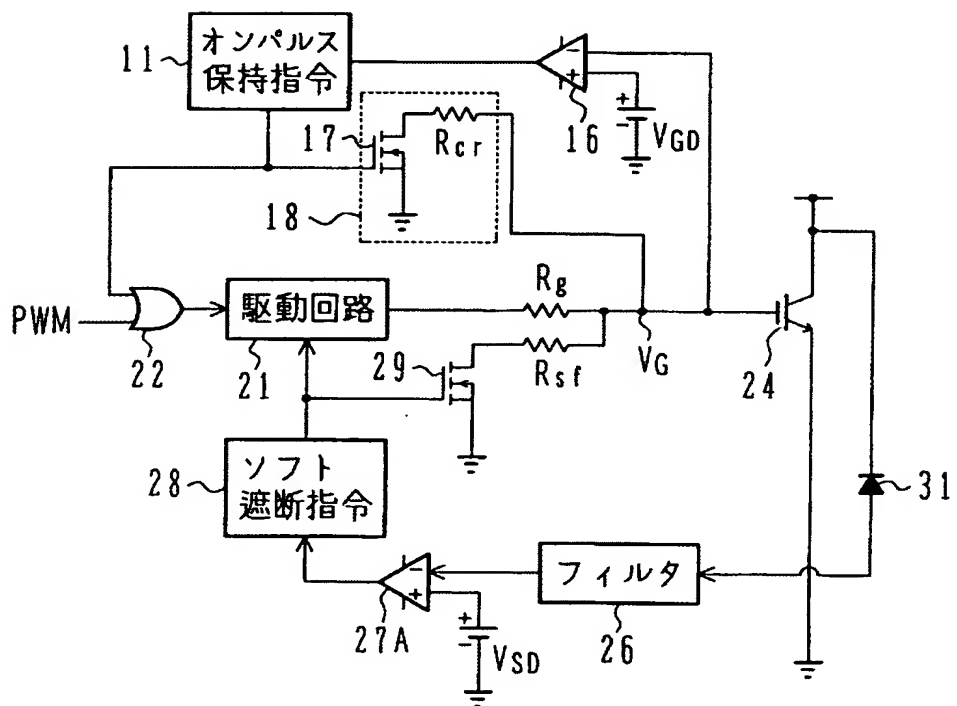
【図 4】



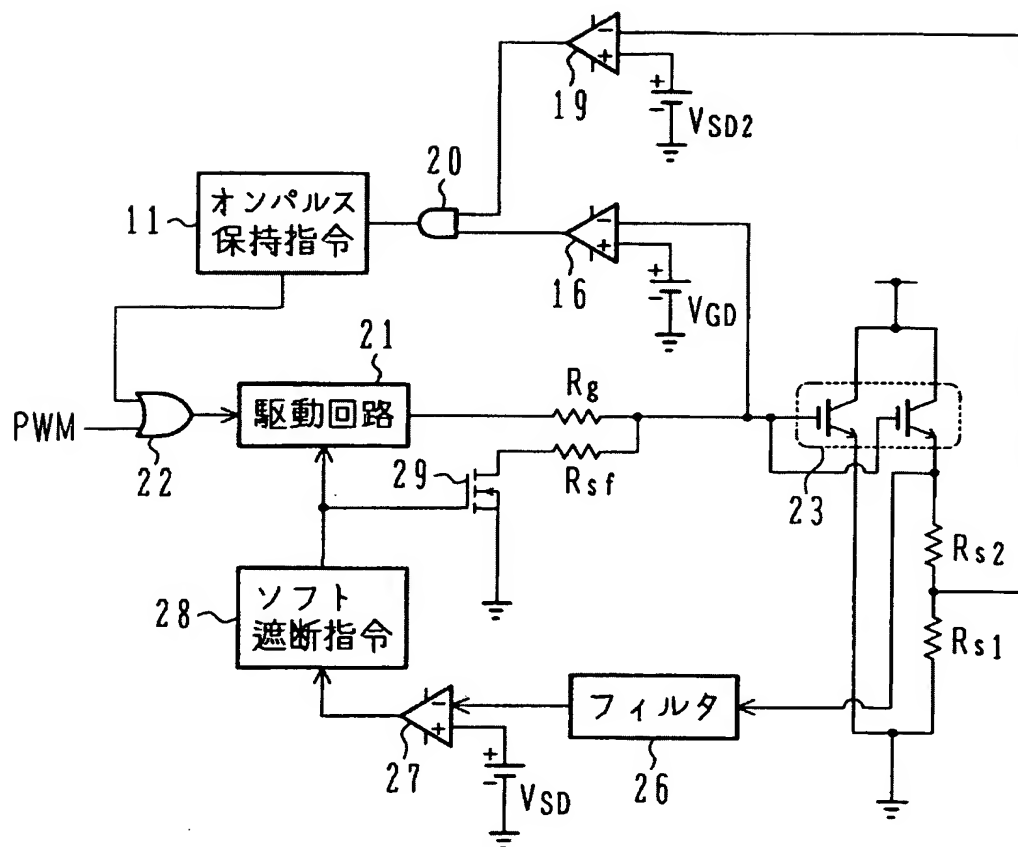
【図 5】



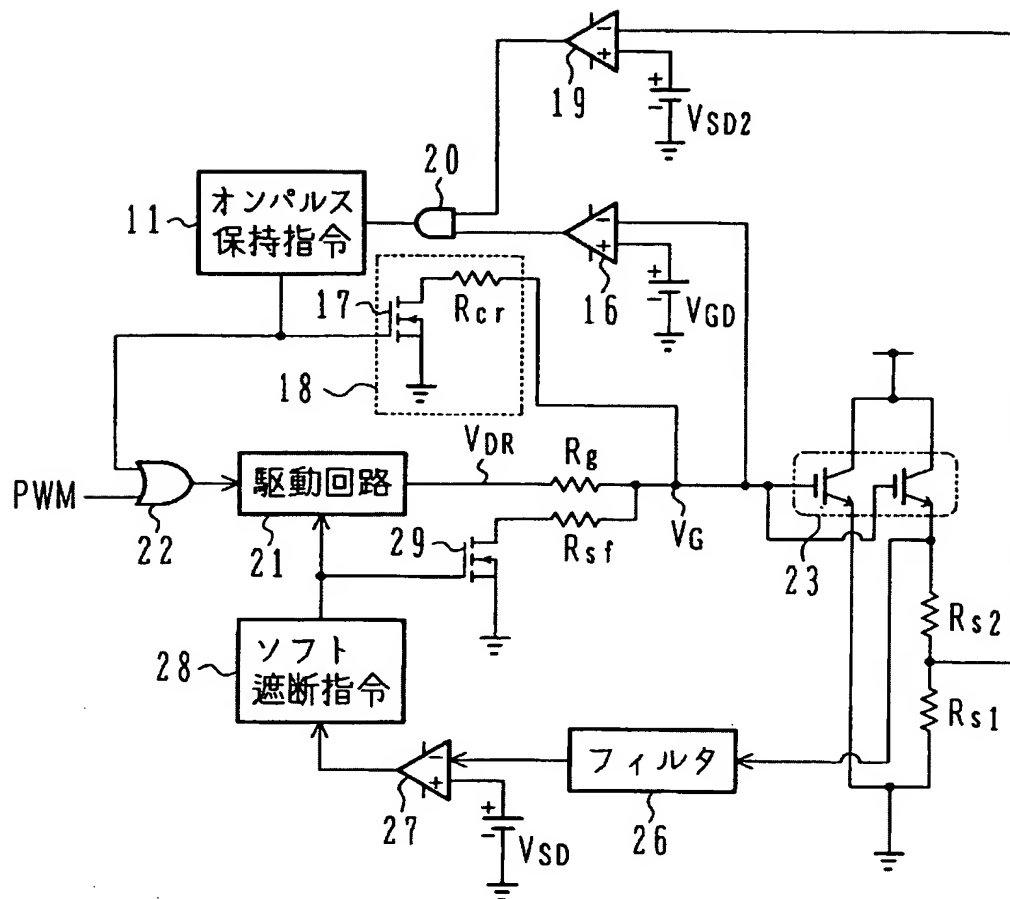
【図 6】



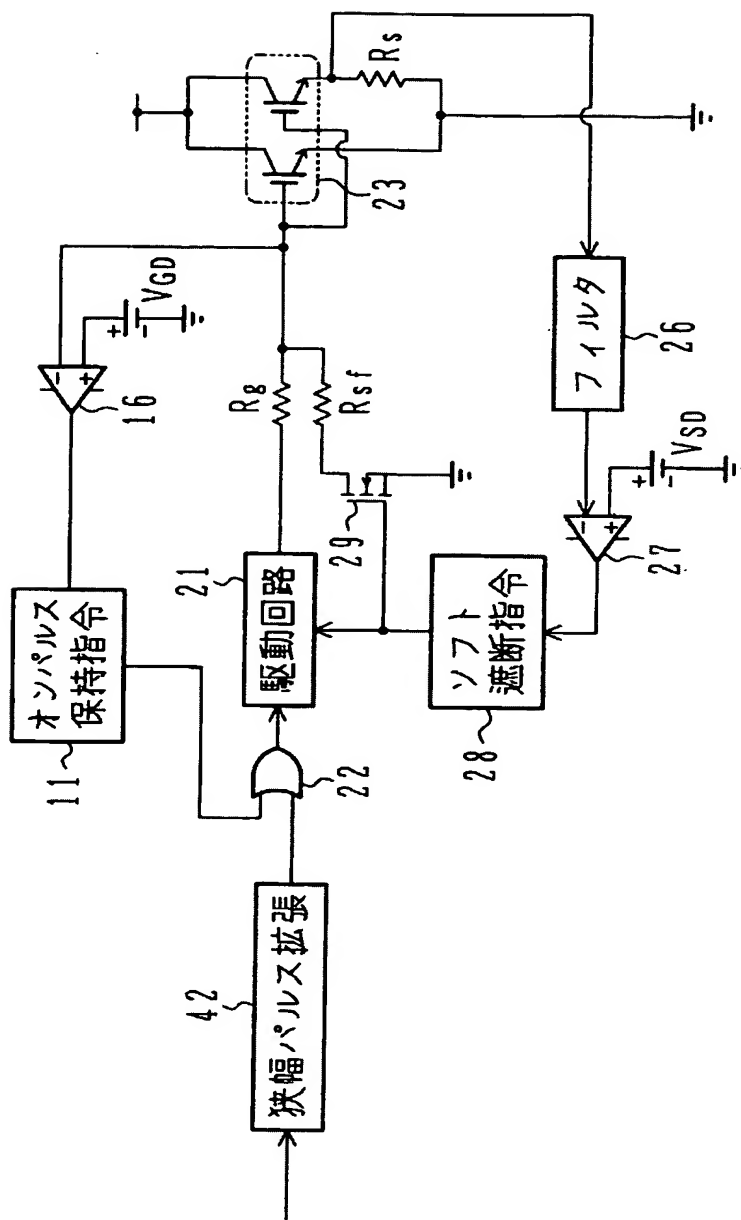
【圖 7】



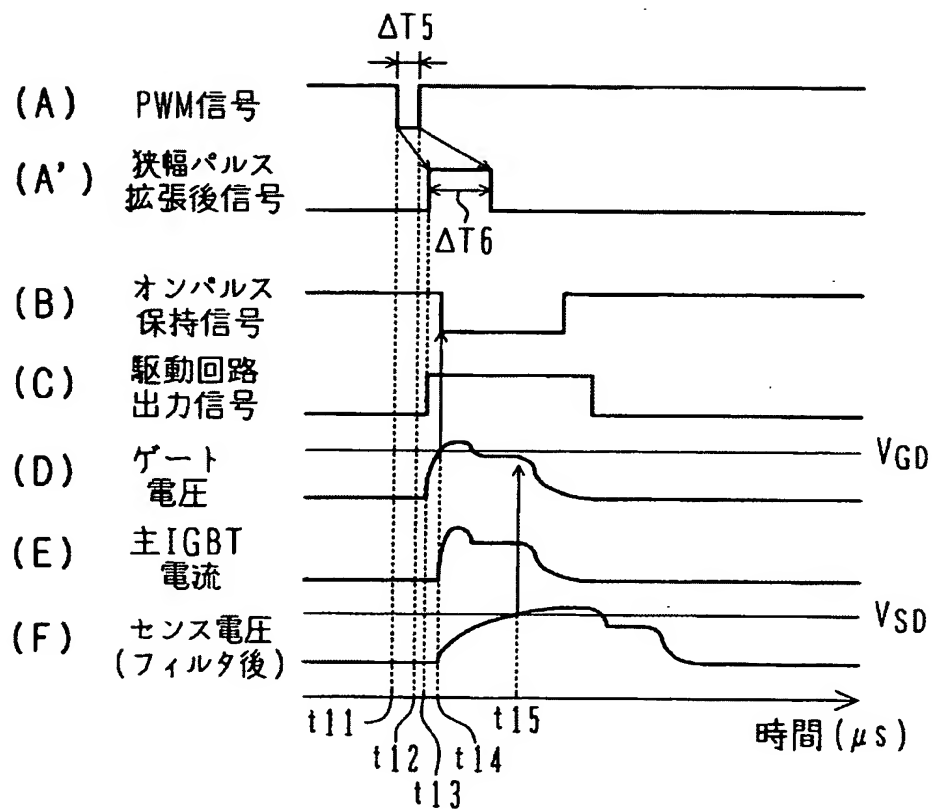
【図 8】



【図 9】



【図 10】



【書類名】 要約書**【要約】****【課題】**

短絡検出時にソフト遮断機能を動作させるとともに、狭幅パルスが入力しても、絶縁破壊を防止できるスイッチング素子のゲート駆動回路を提供することにある。

【解決手段】

スイッチング素子 23 をオン・オフ制御する駆動回路 21 と、スイッチング素子 23 の短絡が検出されたときスイッチング素子 23 のゲート端子電圧を、徐々に降下させるソフト遮断指令回路 28 とを有する。さらに、オンパルス保持指令回路 11 は、スイッチング素子 23 のゲート端子電圧を検出するゲート電圧判定用比較器 16 によりゲート端子電圧が所定の値を超えた場合に、駆動回路 21 の出力をオン状態を保持する。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 1 6 5 5 7 9
受付番号	5 0 3 0 0 9 7 1 4 5 6
書類名	特許願
担当官	第三担当上席 0 0 9 2
作成日	平成 1 5 年 6 月 1 1 日

< 認定情報・付加情報 >

【提出日】	平成15年 6月10日
-------	-------------

次頁無

特願 2 0 0 3 - 1 6 5 5 7 9

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 1 0 8]

1. 変更年月日	1 9 9 0 年 8 月 3 1 日
[変更理由]	新規登録
住 所	東京都千代田区神田駿河台 4 丁目 6 番地
氏 名	株式会社日立製作所